강의계획서 (SYLLABUS)

1. 과목개요

강좌명 (Course Title)	디지털시스템설계	담당교수 (Instructor)	류성주		
년도 (Year)	2022학년도	학기 (Semester)	2 학기	과목코드 (Course No.)	2150418101
분반 (Class)	01	수강대상학과 (Open to)	3학년 IT융합전공(전자공학 수강제한)	이수구분 (Course Classification)	전선-IT융합
학점(설계학점*) (Credit)	3.0 (1)	주당시간	03	성적스케일	점수 100기준 입력
교과목유형	이론	강의언어		상담 신청 방법	이메일 (LMS메시지X)
교수실 (Office)	연구관 302호	연락처 (Telephone)	02-828-7150	이메일 (e-mail)	sungju.ryu@ssu.ac.kr
강좌형식	이론, 문제기반학습(PBL				
공학인증 교과목 관련 항목	교과영역(*) (ABEEK Classification)		인증구분(*) (ABEEK Requirement)		
필수 선수과목					
권장 선수과목	디지털공학, 프로그래밍및실습				
교과목 개요 (Course Description)	디지털 시스템의 동작 원리를 이해하고, HDL을 이용하여 간단한 디지털 시스템을 설계하는 방법을 습득한다. Engaged Learning: 수업에서 학습한 내용을 강의실 밖의 다양한 문제 상황에 적용할 수 있도록 훈련한다.				

교육목표	전공특화역량
디지털 시스템의 동작 이해	전자공학기초 역량
HDL을 이용한 디지털 시스템 설계 방법 습득	하드웨어개발 역량

평가항목	만점(최대100점)	반영비율
중간고사	100	40
기말고사	100	40
출석	100	5
프로젝트	100	15

주요교재 및 참고자료 (Required Texts)	주교재	*주교재/미정(혁신공유대학 강의교재)
	참고교재(대표)	*참고교재/CMOS VLSI Design/Neil H. E. Weste and David Mon/2011/4 *참고교재/Digital Design and Computer Architecture/David Harris and Sarah L./2012/2 *참고교재/Verilog HDL: A Guide to Digital Design and Synthesis/Samir Palnitkar/2003/2
학습준비사항		
수강학생 유의 및 참고사항		

강의계획서 (SYLLABUS)

2. 주차별 강의개요

주 (Week)	핵심어 (Keyword)	세부내용 (Description)	교수방법	교재범위 (Texts)
01	논리회로 리뷰 1	논리회로의 기본 내용인 조합논리회로 설계방법을 학습함	강의	자체 교재
02	논리회로 리뷰 2	논리회로의 기본 내용인 순차논리회로 설계방법을 학습함	강의, 토론	자체 교재
03	Verilog HDL의 개요 및 기본문법	Verilog HDL에 대한 전반적인 이해와 syntax. 개요	강의, 토론, 실험,실습,실기	Ch.2. 3 및 실습 1
04	Vivado (설계 S/W) 활용	Verilog HDL 설계 실습을 위한 기본 S/W 설치 및 활용법을 학습함	강의, 토론, 실험,실습,실기	자체 교재
05	Gate-level 프로그램법	AND, OR, NOT 등의 논리 게이트 소자를 이용한 설계 방법을 학습함	강의, 토론, 실험,실습,실기	Ch. 4, 실습 2
06	RTL(Register Transfer Level)프로그램법	RTL(Register Transistor Level)과 Gate level간의 차이점 학습	강의, 토론, 실험,실습,실기	Ch. 5, 실습 3
07	Behavioral 프로그램법 1	Behavioral프로그램 기법을 이용한 H/W 설계 기본 원리 학습	강의, 토론, 실험,실습,실기	Ch. 6 실습 4
08	Midterm Exam	Midterm Exam (필기시험)	시험	Midterm Exam
09	Behavioral 프로그램법 2	Behavioral 프로그램법을 활용한 조합논리회로 설계법, 순차논리회로 설계법을 학습함	강의, 토론, 실험,실습,실기	Ch. 6, 실습 5
10	Behavioral 프로그램법의 활용	Behavioral 프로그램법의 실제 설계 적용 시 이슈 사항 및 설계 사례 학습	강의, 토론, 실험,실습,실기	Ch. 7, 실습 6
11	메모리 모델링 및 FSM	메모리와 FSM 설계방법 학습	강의, 토론, 실험,실습,실기	Ch. 10, 실습 7
12	System task 및 함수	Verilog HDL에서 기본 제공하는 system task 및 함수 사용법 학습	강의, 토론, 실험,실습,실기	Ch. 8, 실습 8
13	Testbench 작성 및 활용법	Testbench 작성법 학습	강의, 토론, 실험,실습,실기	Ch. 9, 실습 9
14	프로젝트 발표	팀별 프로젝트 발표	강의, 발표, 토론, 실험,실습, 실기	자체 교재
15	Final Exam	Final Exam (필기시험)	시험	Final Exam

강의계획서 (SYLLABUS)

[장애학생을 위한 강의 지원 안내 내용]

※ 숭실대학교 학칙 제65조의 2에 의거하여, 장애학생은 학기 시작 전후에 교과목 담당교수와의 면담을 통해 출석, 강의, 과제 및 평가에 관한 지원 사항을 요청할 수 있으며, 요청한 사항은 담당교수 또는 장애학생지원센터를 통해 지원받을 수 있습니다. 강의, 과제 및 평가 시, 가능한 장애유형별 지원의 예는 아래와 같습니다. 단, 실제 지원 내용은 강의 특성에 따라 달라질 수 있습니다.

[강의]

— 시각장애: 강의자료 제공, 대필 도우미 허용, 강의녹취 허용
— 지체장애: 강의자료 제공, 대필 및 수업보조 도우미 허용, 지정좌석 배정, 강의녹취 허용
— 청각장애: 강의자료 제공, 대필/수화통역 도우미 허용
— 지적장애/자폐성장애: 강의자료 제공, 대필도우미 및 수업보조 도우미 허용

[과제 및 평가]

— 시각장애/지체장애/청각장애: 과제 제출기한 연장, 과제 및 제출방식 조정, 시험시간 연장, 시험문항 및 응답 방식 조정, 별도 장소 제공, 대필도우미 연계 등
— 지적장애/자폐성장애: 개별 과제 및 대체 평가 실시 고려

※ 기타 지원이 필요한 경우 개강 전 담당 교수 또는 장애학생지원센터(02-820-0060)에 문의

강의계획서 (SYLLABUS)

3. 설계교육계획서(공학인증)

교과목명			담당교수	
학점(설계학점)				
설계주제				
설계 구성요소	문제정의			
	개념설계			
	설계구현			
	평가/피드백			
현실적 제한조건	경제성/생산성			
	사회윤리			
	심미성/사용성			
	안전/환경			
설계 운영요소	Open-ended problem			
	Teamwork			
	Communication skills			